

MIS TRANSISTOR

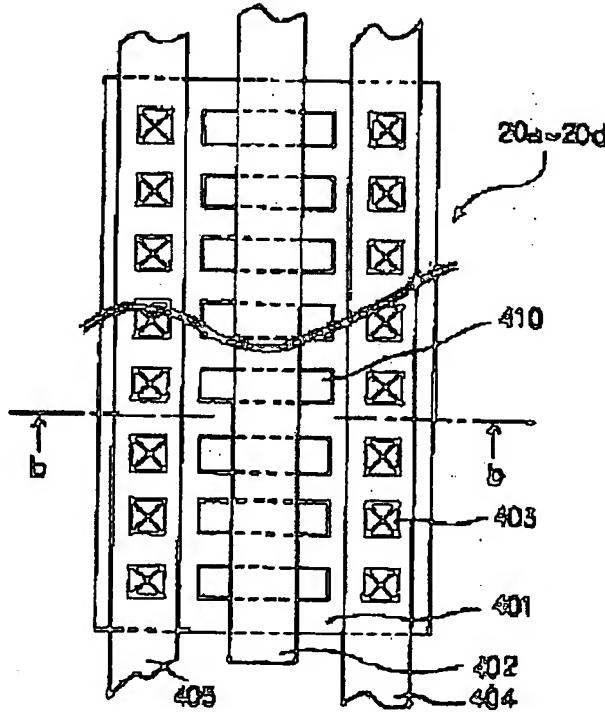
Patent number: JP7094744
Publication date: 1995-04-07
Inventor: ISHIKAWA JUN; SATO TOSHIHIRO; SHIMOMURA SHIGEO; KOSHI HIROBUMI; HAYATA HIROKO
Applicant: HITACHI LTD; HITACHI DEVICE ENG
Classification:
- International: G02F1/136; G02F1/133; G02F1/1368; H01L29/78; H01L29/786; G02F1/13; H01L29/66; (IPC1-7): H01L29/786; G02F1/133; G02F1/136
- european:
Application number: JP19930233756 19930920
Priority number(s): JP19930233756 19930920

[Report a data error here](#)

Abstract of JP7094744

PURPOSE: To increase ON characteristics and prevent leakage current from occurring at OFF without enlarging an occupied area, by dividing a channel layer formed between a source region and a drain region into a plurality of areas along its channel width.

CONSTITUTION: A source electrode 405 and a drain electrode 404 formed on both sides of a gate electrode 402, respectively, in parallel thereto, are connected via a through hole provided respectively in a silicon nitride film 405 to a source region and a drain region formed in a semiconductor layer 401. An MIS transistor formed in this manner is formed by being split into a plurality of areas along a channel width as a channel layer formed between the source region and the drain region forms a groove 410 in the semiconductor layer 401. Consequently, there is an increase in the number of sides in each channel layer corresponding to its channel length, thus increasing an ON current.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-94744

(43)公開日 平成7年(1995)4月7日

(51) Int.CI.⁶
 H01L 29/786
 G02F 1/133
 1/136

識別記号

9056-4M

F I

520
500

H01L 29/78

311 . H

審査請求 未請求 請求項の数 1 O L (全19頁)

(21)出願番号 特願平5-233756

(71)出願人 000005108

(22)出願日 平成5年(1993)9月20日

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地

(72)発明者 石川 純

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(72)発明者 佐藤 敏浩

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(74)代理人 弁理士 秋田 収喜

最終頁に続く

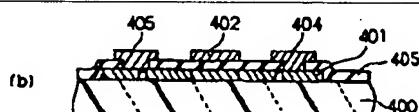
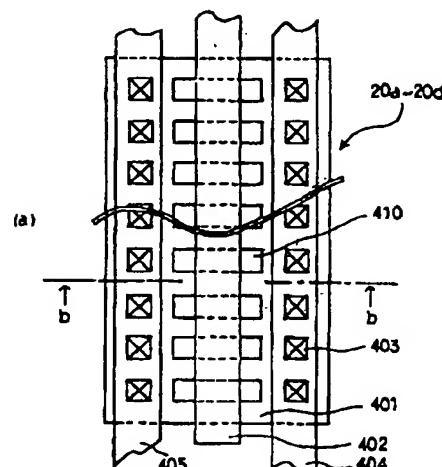
(54)【発明の名称】M I Sトランジスタ

(57)【要約】

【目的】 占有面積を大きくせずに、ON特性の向上、
さらにはOFF時のリーク電流の発生を防止できる。

【構成】 半導体基板の表面に形成されたソース領域と
ドレイン領域との間に、各領域を結ぶ方向の辺をチャネル長とし該辺に交差する方向の辺をチャネル幅とするチ
ャンネル層を形成するためのゲート電極が絶縁膜を介して
形成されているM I Sトランジスタにおいて、前記チャネル層は、そのチャネル幅に沿って複数に分割されて
いる。

図1



【特許請求の範囲】

【請求項 1】 半導体基板の表面に形成されたソース領域とドレイン領域との間に、各領域を結ぶ方向の辺をチャネル長とし該辺に交差する方向の辺をチャネル幅とするチャンネル層を形成するためのゲート電極が絶縁膜を介して形成されているM I Sトランジスタにおいて、前記チャネル層は、そのチャネル幅に沿って複数に分割されていることを特徴とするM I Sトランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、M I Sトランジスタに係り、たとえば液晶表示基板の駆動回路に組み込まれるM I Sトランジスタの改良に関する。

【0002】

【従来の技術】 たとえば、アクティブ・マトリックス型の液晶表示基板は、その端子に垂直走査回路および映像信号駆動回路が接続されて用いられる。

【0003】 そして、これら垂直走査回路および映像信号駆動回路のそれぞれには、いくつかのスイッチング素子が組み込まれており、これらスイッチング素子はその半導体層が多結晶シリコン膜からなるS M I S構造の薄膜トランジスタ(T F T)からなっている。

【0004】

【発明が解決しようとする課題】 しかしながら、このような垂直走査回路および映像信号駆動回路に組み込まれている薄膜トランジスタは高速駆動できることが要望されている。

【0005】 液晶表示部の高精細化にともない、前記各回路の高速駆動が必要となるからである。

【0006】 特に、映像信号駆動回路の薄膜トランジスタにおいては、選択された書き込み時間の間に、それぞれの画素に信号電圧を書き込むに充分なON/OFF特性が要求される。

【0007】 そこで、該薄膜トランジスタにおいて、そのチャネル幅を大きくしたもののが知られているが、その占有面積が大きくなるにも拘らず、それ程の効果を期待できるものではなく、OFF時におけるリーク電流が増大するという問題が指摘されるに至った。

【0008】 それ故、本発明はこのような事情に基づいてなされたものであり、その目的とするところのものは、占有面積を大きくせずに、ON特性の向上、さらにはOFF時のリーク電流の発生を防止できるM I Sトランジスタを提供するにある。

【0009】

【課題を解決するための手段】 このような目的を達成するために本発明は、基本的には、半導体基板の表面に形成されたソース領域とドレイン領域との間に、各領域を結ぶ方向の辺をチャネル長とし該辺に交差する方向の辺をチャネル幅とするチャンネル層を形成するためのゲート電極が絶縁膜を介して形成されているM I Sトランジス

タにおいて、前記チャネル層は、そのチャネル幅に沿って複数に分割されていることを特徴とするものである。

【0010】

【作用】 このように構成したM I Sトランジスタは、ソース領域とドレイン領域との間に形成されるチャネル層をそのチャネル幅に沿って複数に分割して形成されることになる。

【0011】 このようにすることによって、各チャネル層においてそのチャネル長に相当する辺部の数が増大し、ON電流が増大することになる。

【0012】 すなわち、M I SトランジスタにおけるON電流は、チャネル層のチャネル長に相当する辺部に集中するという事実が判明し、チャネル幅を大きくすることよりも、上述のようにチャネル長に相当する辺部の数を増大させた方が効果的であることが判った。

【0013】 このことは、M I Sトランジスタの占有面積を増大させることなく、複数のチャネル層を形成することができることになり、必然的にチャネル層の占有面積を小さくすることからOFF時におけるリーク電流も小さくすることができるようになる。

【0014】

【実施例】 本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【0015】 《アクティブ・マトリクス液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0016】 《マトリクス部の概要》 図2はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図、図3は図2の3-3切断線における断面を示す図、図4は図2の4-4切断線における断面図である。

【0017】 図2に示すように、各画素は隣接する2本の走査信号線(ゲート信号線または水平信号線)GLと、隣接する2本の映像信号線(ドレイン信号線または垂直信号線)DLとの交差領域内(4本の信号線で囲まれた領域内)に配置されている。各画素は薄膜トランジ

【0018】 40 ST TFT、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。

【0019】 図3に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFL、遮光用ブラックマトリクスパターンBMが形成されている。透明ガラス基板SUB1、SUB2の両面にはディ

ップ処理等によって形成された酸化シリコン膜S I Oが設けられている。

【0019】上部透明ガラス基板SUB 2の内側(液晶LC側)の表面には、遮光膜BM、カラーフィルタFL、保護膜PSV2、共通透明画素電極ITO2(COM)および上部配向膜ORI2が順次積層して設けられている。

【0020】《マトリクス周辺の概要》図5は上下のガラス基板SUB1, SUB2を含む表示パネルPNLのマトリクス(AR)周辺の要部平面を、図6はその周辺部を更に誇張した平面を、図7は図5及び図6のパネル左上角部に対応するシール部SL付近の拡大平面を示す図である。また、図8は図3の断面を中心にして、左側に図7の8a-8a切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子DTM付近の断面を示す図である。同様に図9は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0021】このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図5～図7は後者の例を示すもので、図5、図6の両図とも上下基板SUB1, SUB2の切断後を、図7は切断前を表しており、LNは両基板の切断前の縁を、CT1とCT2はそれぞれ基板SUB1, SUB2の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群Tg, Td(添字略)が存在する(図で上下辺と左辺)部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg, Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCH1が搭載されたテープキャリアパッケージTCP(図18、図19)の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM, GTMを合わせるためである。

【0022】透明ガラス基板SUB1, SUB2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一箇所において、本実施例ではパネルの4角で銀ペースト材AGPによって下部透明ガラス基板SUB1側

に形成されたその引出配線INTに接続されている。この引出配線INTは後述するゲート端子GTM、ドレイン端子DTMと同一製造工程で形成される。

【0023】配向膜ORI1, ORI2、透明画素電極ITO1、共通透明画素電極ITO2、それぞれの層は、シールパターンSLの内側に形成される。偏光板POL1, POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0024】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0025】《薄膜トランジスタTFT》次に、図2、図3に戻り、TFT基板SUB1側の構成を詳しく説明する。

【0026】薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソース-ドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0027】各画素には複数(2つ)の薄膜トランジスタTFT1, TFT2が冗長して設けられる。薄膜トランジスタTFT1, TFT2のそれぞれは、実質的に同一サイズ(チャネル長、チャネル幅が同じ)で構成され、ゲート電極GT、ゲート絶縁膜GI、i型(真性、intrinsic、導電型決定不純物がドープされていない)非晶質シリコン(Si)からなるi型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0028】《ゲート電極GT》ゲート電極GTは走査信号線GLから垂直方向に突出する形状で構成されている(T字形状に分岐されている)。ゲート電極GTは薄膜トランジスタTFT1, TFT2のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタTFT1, TFT2のそれぞれのゲート電極GTは、一体に(共通のゲート電極として)構成されており、走査信号線GLに連続して形成されている。本例では、ゲート電

極G Tは、単層の第2導電膜g 2で形成されている。第2導電膜g 2としては例えばスパッタで形成されたアルミニウム(A 1)膜が用いられ、その上にはA 1の陽極酸化膜A O Fが設けられている。

【0029】このゲート電極G Tはi型半導体層ASを完全に覆うよう(下方からみて)それより大き目に形成され、i型半導体層ASに外光やバックライト光が当たらないよう工夫されている。

【0030】《走査信号線GL》走査信号線GLは第2導電膜g 2で構成されている。この走査信号線GLの第2導電膜g 2はゲート電極G Tの第2導電膜g 2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもA 1の陽極酸化膜A O Fが設けられている。

【0031】《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFT1、TFT2において、ゲート電極G Tと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極G Tおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、1200~2700Åの厚さに(本実施例では、2000Å程度)形成される。ゲート絶縁膜GIは図7に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。絶縁膜GIは走査信号線GLと映像信号線DLの電気的絶縁にも寄与している。

【0032】《i型半導体層AS》i型半導体層ASは、本例では薄膜トランジスタTFT1、TFT2のそれぞれに独立した島となるよう形成され、非晶質シリコンで、200~2200Åの厚さに(本実施例では、2000Å程度の膜厚)で形成される。層d 0はオーミックコントクト用のリン(P)をドープしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d 2(d 3)が存在するところのみに残されている。

【0033】i型半導体層ASは走査信号線GLと映像信号線DLとの交差部(クロスオーバ部)の両者間に設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

【0034】《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0035】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD2の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザ光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すれば良い。透明画素電極ITO1は第1導

電膜d 1によって構成されており、この第1導電膜d 1はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、1000~2000Åの厚さに(本実施例では、1400Å程度の膜厚)形成される。

【0036】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d 0に接触する第2導電膜d 2とその上に形成された第3導電膜d 3とから構成されている。

【0037】第2導電膜d 2はスパッタで形成したクロム(Cr)膜を用い、500~1000Åの厚さに(本実施例では、600Å程度)で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d 0との接着性を良好にし、第3導電膜d 3のA 1がN(+)型半導体層d 0に拡散することを防止する(いわゆるバリア層)目的で使用される。第2導電膜d 2として、Cr膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoS_i、TiSi_i、TaSi_i、WSi_i)膜を用いてよい。

【0038】第3導電膜d 3はA 1のスパッタリングで3000~5000Åの厚さに(本実施例では、4000Å程度)形成される。A 1膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減したり、ゲート電極G Tやi型半導体層ASに起因する段差乗り越えを確実にする(ステップカバーレッジを良くする)働きがある。

【0039】第2導電膜d 2、第3導電膜d 3を同じマスクパターンでバーニングした後、同じマスクを用いて、あるいは第2導電膜d 2、第3導電膜d 3をマスクとして、N(+)型半導体層d 0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d 0は第2導電膜d 2、第3導電膜d 3以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d 0はその厚さ分は全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0040】《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d 2、第3導電膜d 3で構成されている。

【0041】《保護膜PSV1》薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸

化シリコン膜や空化シリコン膜で形成されており、 $1\mu m$ 程度の膜厚で形成する。

【0042】保護膜PSV1は図7に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM, GTMを露出するよう除去され、また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続用引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを薄くされる。従って図7に示すように、保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

【0043】《遮光膜BM》上部透明ガラス基板SUB2側には、外部光又はバックライト光がi型半導体層ASに入射しないよう遮光膜BMが設けられている。図2に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。遮光膜BMは光に対する遮蔽性が高いとえばアルミニウム膜やクロム膜等で形成されており、本実施例ではクロム膜がスパッタリングで 1300 \AA 程度の厚さに形成される。

【0044】従って、薄膜トランジスタTFT1, TFT2のi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜BMは各画素の周囲に格子状に形成され（いわゆるブラックマトリクス）、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0045】透明画素電極ITO1のラビング方向の根本側のエッジ部分（図2右下部分）も遮光膜BMによって遮光されているので、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0046】遮光膜BMは図6に示すように周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けた図2に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図6～図9に示すように、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約 $0.3\sim 1.0\text{ mm}$ 程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0047】《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しで

ストライプ状に形成される。カラーフィルタFILは透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0048】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0049】《保護膜PSV2》保護膜PSV2はカラーフィルタFILの染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0050】《共通透明画素電極ITO2》共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共に透明画素電極ITO2との間の電位差（電界）に応答して変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。本実施例では、コモン電圧Vcomは映像信号線DLに印加される最小レベルの駆動電圧Vdminと最大レベルの駆動電圧Vdmaxとの中間直流電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。なお、共通透明画素電極ITO2の平面形状は図6、図7を参照されたい。

【0051】《保持容量素子Caddの構造》透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図4からも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0052】保持容量素子Caddは走査信号線GLの第2導電膜g2の幅を広げた部分に形成されている。なお、映像信号線DLと交差する部分の第2導電膜g2は映像信号線DLとの短絡の確率を小さくするため細くされている。

【0053】保持容量素子Caddの電極PL1の段差部において透明画素電極ITO1が断線しても、その段差をまたがるように形成された第2導電膜d2および第3

導電膜 d 3 で構成された島領域によってその不良は補償される。

【0054】《ゲート端子部》図 10 は表示マトリクスの走査信号線 G L からその外部接続端子 G T Mまでの接続構造を示す図であり、(A) は平面であり (B) は (A) の B - B 切断線における断面を示している。なお、同図は図 7 下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0055】AO は写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターン AO は完成品としては残らないが、ゲート配線 G L には断面図に示すように酸化膜 A O F が選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線 AO を基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化された A L 層 g 2 は表面にその酸化物 A 1, O_x 膜 A O F が形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。マスクパターン AO は走査線 G L に单一の直線では交差せず、クランク状に折れ曲がって交差させている。

【0056】図中 A L 層 g 2 は、判り易くするためにハッチを施してあるが、陽極酸化されない領域は樹状にパーニングされている。これは、A 1 層の幅が広いと表面上にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。従って、本例では樹の根本に相当する部分もマスク AO に沿ってずらしている。

【0057】ゲート端子 G T M は酸化珪素 S I O 層と接着性が良く A 1 等よりも耐電触性の高い C r 層 g 1 と、更にその表面を保護し画素電極 I T O 1 と同レベル（同層、同時形成）の透明導電層 d 1 とで構成されている。なお、ゲート絶縁膜 G I 上及びその側面部に形成された導電層 d 2 及び d 3 は、導電層 d 3 や d 2 のエッティング時ピンホール等が原因で導電層 g 2 や g 1 と一緒にエッティングされないようその領域をホトレジストで覆っていた結果として残っているものである。又、ゲート絶縁膜 G I を乗り越えて右方向に延長された I T O 層 d 1 は同様な対策を更に万全とさせたものである。

【0058】平面図において、ゲート絶縁膜 G I はその境界線よりも右側に、保護膜 P S V 1 もその境界線よりも右側に形成されており、左端に位置する端子部 G T M はそれらから露出し外部回路との電気的接触ができるようになっている。図では、ゲート線 G L とゲート端子の一つの対のみが示されているが、実際はこのような対が図 7 に示すように上下に複数本並べられ端子群 T g (図 6, 図 7) が構成され、ゲート端子の左端は、製造過程

では、基板の切断領域 C T 1 を越えて延長され配線 S H g によって短絡される。製造過程におけるこのような短絡線 S H g は陽極酸化時の給電と、配向膜 O R I 1 のラビング時等の静電破壊防止に役立つ。

【0059】《ドレン端子 D T M》図 11 は映像信号線 D L からその外部接続端子 D T M までの接続を示す図であり、(A) はその平面を示し、(B) は (A) の B - B 切断線における断面を示す。なお、同図は図 7 右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板 S U B 1 の上端部（又は下端部）に該当する。

【0060】T S T d は検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広げられている。同様に、ドレン端子 D T M も外部回路との接続ができるよう配線部より幅が広げられている。検査端子 T S T d と外部接続ドレン端子 D T M は上下方向に千鳥状に複数交互に配列され、検査端子 T S T d は図に示すとおり基板 S U B 1 の端部に到達することなく終端しているが、ドレン端子 D T M は、図 7 に示すように端子群 T d (添字省略) を構成し基板 S U B 1 の切断線 C T 1 を越えて更に延長され、製造過程中は静電破壊防止のためその全てが互いに配線 S H d によって短絡される。検査端子 T S T d が存在する映像信号線 D L のマトリクスを挟んで反対側にはドレン接続端子が接続され、逆にドレン接続端子 D T M が存在する映像信号線 D L のマトリクスを挟んで反対側には検査端子が接続される。

【0061】ドレン接続端子 D T M は前述したゲート端子 G T M と同様な理由で C r 層 g 1 及び I T O 層 d 1 の 2 層で形成されており、ゲート絶縁膜 G I を除去した部分で映像信号線 D L と接続されている。ゲート絶縁膜 G I の端部上に形成された半導体層 A S はゲート絶縁膜 G I の縁をテーパ状にエッティングするためのものである。端子 D T M 上では外部回路との接続を行うため保護膜 P S V 1 は勿論のこと取り除かれている。AO は前述した陽極酸化マスクでありその境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には層 g 2 が存在しないのでこのパターンは直接は関係しない。

【0062】マトリクス部からドレン端子部 D T M までの引出配線は図 8 の (C) 部にも示されるように、ドレン端子部 D T M と同じレベルの層 d 1, g 1 のすぐ上に映像信号線 D L と同じレベルの層 d 2, d 3 がシールパターン S L の途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電触し易い A 1 層 d 3 を保護膜 P S V 1 やシールパターン S L できるだけ保護する狙いである。

【0063】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図 12 に示す。同図は回路図ではあるが、実際の幾何学的配置に対応し

て描かれている。A Rは複数の画素を二次元状に配列したマトリクス・アレイである。

【0064】図中、Xは映像信号線D Lを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線G Lを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

【0065】映像信号線X（添字省略）は交互に上側（または奇数）映像信号駆動回路H e、下側（または偶数）映像信号駆動回路H oに接続されている。

【0066】走査信号線Y（添字省略）は垂直走査回路Vに接続されている。

【0067】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0068】《保持容量素子Caddの働き》保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位（画素電極電位）Vlcに対するゲート電位変化 ΔVg の影響を低減するように働く。この様子を式で表すと、次のようになる。

【0069】

$$\Delta Vlc = \{Cgs / (Cgs + Cadd + Cpix)\} \times \Delta Vg$$

ここで、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量、Cpixは透明画素電極ITO1（PIX）と共に透明画素電極ITO2（COM）との間に形成される容量、 ΔVlc は ΔVg による画素電極電位の変化分を表わす。この変化分 ΔVlc は液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0070】前述したように、ゲート電極GTは1型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバラップ面積が増え、従って寄生容量Cgsが大きくなり、中点電位Vlcはゲート（走査）信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

【0071】保持容量素子Caddの保持容量は、画素の書き込み特性から、液晶容量Cpixに対して4~8倍（ $4 \cdot Cpix < Cadd < 8 \cdot Cpix$ ）、寄生容量Cgsに対して8~32倍（ $8 \cdot Cgs < Cadd < 32 \cdot Cgs$ ）程度の値に設定する。

【0072】保持容量電極線としてのみ使用される初段の走査信号線GL（Y₁）は共通透明画素電極ITO2（Vcom）と同じ電位にする。図7の例では、初段の走査信号線は端子GTO、引出線INT、端子DT0及び外部配線を通じて共通電極COMに短絡される。或いは、初段の保持容量電極線Y₁は最終段の走査信号線Yendに接続、Vcom以外の直流電位点（交流接地点）に接続するかまたは垂直走査回路Vから1つ余分に走査バスY₁を受けるように接続してもよい。

- 10 【0073】《製造方法》つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図13～図15を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図3に示す画素部分、右側は図10に示すゲート端子付近の断面形状でみた加工の流れを示す。工程Dを除き工程A～工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトレジストを除去した段階を示している。なお、写真処理とは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って、説明する。

【0074】工程A、図13

- 7059ガラス（商品名）からなる下部透明ガラス基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けたのち、500°C、60分間のペークを行なう。下部透明ガラス基板SUB1上に膜厚が1100Åのクロムからなる第1導電膜g1をスパッタリングにより設け、写真処理後、エッティング液として硝酸第2セリウムアンモニウム溶液で第1導電膜g1を選択的にエッティングする。それによって、ゲート端子GTM、ドレン端子DTM、ゲート端子GTMを接続する陽極酸化バスラインSHg、ドレン端子DTMを短絡するバスラインSHd、陽極酸化バスラインSHgに接続された陽極酸化パッド（図示せず）を形成する。

【0075】工程B、図13

- 膜厚が2800ÅのA1-Pd、A1-Si、A1-Si-Ti、A1-Si-Cu等からなる第2導電膜g2をスパッタリングにより設ける。写真処理後、リン酸と硝酸と冰酢酸との混酸液で第2導電膜g2を選択的にエッティングする。

【0076】工程C、図13

- 写真処理後（前述した陽極酸化マスクAO形成後）、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレングリコール液で1:9に稀釀した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が0.5mA/cm²になるように調整する（定電流化成）。次に所定のA1-O₂膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電

圧化成）。これは均一な A₁O_x 膜を得る上で大事なことである。それによって、導電膜 g₂ を陽極酸化され、走査信号線 G_L、ゲート電極 G_T および電極 P_L 1 上に膜厚が 1800 Å の陽極酸化膜 AOF_g が形成される。

【0077】工程D、図14

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が 2000 Å の窒化 Si 膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が 2000 Å の i 型非晶質 Si 膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が 300 Å の N(+) 型非晶質 Si 膜を設ける。

【0078】工程E、図14

写真処理後、ドライエッティングガスとして SF₆、CC_l を使用して N(+) 型非晶質 Si 膜、i 型非晶質 Si 膜を選択的にエッティングすることにより、i 型半導体層 AS の島を形成する。

【0079】工程F、図14

写真処理後、ドライエッティングガスとして SF₆ を使用して、窒化 Si 膜を選択的にエッティングする。

【0080】工程G、図15

膜厚が 1400 Å の ITO 膜からなる第 1 導電膜 d₁ をスパッタリングにより設ける。写真処理後、エッティング液として塩酸と硝酸との混酸液で第 1 導電膜 d₁ を選択的にエッティングすることにより、ゲート端子 GTM、ドレイン端子 DTM の最上層および透明画素電極 ITO₁ を形成する。

【0081】工程H、図15

膜厚が 600 Å の C_x からなる第 2 導電膜 d₂ をスパッタリングにより設け、さらに膜厚が 4000 Å の A₁-Pd、A₁-Si、A₁-Si-Ti、A₁-Si-Cu 等からなる第 3 導電膜 d₃ をスパッタリングにより設ける。写真処理後、第 3 導電膜 d₃ を工程 B と同様な液でエッティングし、第 2 導電膜 d₂ を工程 A と同様な液でエッティングし、映像信号線 DL、ソース電極 SD₁、ドレイン電極 SD₂ を形成する。つぎに、ドライエッティング装置に CC_l、SF₆ を導入して、N(+) 型非晶質 Si 膜をエッティングすることにより、ソースとドレイン間の N(+) 型半導体層 d₀ を選択的に除去する。

【0082】工程 I、図15

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が 1 μm の窒化 Si 膜を設ける。写真処理後、ドライエッティングガスとして SF₆ を使用した写真蝕刻技術で窒化 Si 膜を選択的にエッティングすることによって、保護膜 PSV₁ を形成する。

【0083】《液晶表示モジュールの全体構成》図16は、液晶表示モジュールMDL の各構成部品を示す分解斜視図である。

【0084】SHD は金属板から成る枠状のシールドケース（メタルフレーム）、LCW その表示窓、PNL は

液晶表示パネル、SPB は光拡散板、MFR は中間フレーム、BL はバックライト、BLS はバックライト支持体、LCA は下側ケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDL が組み立てられる。

【0085】モジュールMDL は、シールドケース SHD に設けられた爪 CL とフック FK によって全体が固定されるようになっている。

【0086】中間フレーム MFR は表示窓 LCW に対応する開口が設けられるように枠状に形成され、その枠部分には拡散板 SPB、バックライト支持体 BLS 並びに各種回路部品の形状や厚みに応じた凹凸や、放熱用の開口が設けられている。

【0087】下側ケース LCA はバックライト光の反射体も兼ねており、効率のよい反射ができるよう、蛍光管 BL に対応して反射山 RM が形成されている。

【0088】《表示パネル PNL と駆動回路基板 PCB 1》図17は、図5等に示した表示パネル PNL に映像信号駆動回路 He、Ho と垂直走査回路 V を接続した状態を示す上面図である。

【0089】CHI は表示パネル PNL を駆動させる駆動 IC チップ（下側の 3 個は垂直走査回路側の駆動 IC チップ、左右の 6 個ずつは映像信号駆動回路側の駆動 IC チップ）である。TCP は図18、図19で後述するように駆動用 IC チップ CHI がテープ・オートメイティド・ボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB1 は上記 TCP やコンデンサ CDS 等が実装された駆動回路基板で、3 つに分割されている。FGP はフレームグランドパッドであり、

シールドケース SHD に切り込んで設けられたバネ状の破片 FG が半田付けされる。FC は下側の駆動回路基板 PCB1 と左側の駆動回路基板 PCB1、および下側の駆動回路基板 PCB1 と右側の駆動回路基板 PCB1 を電気的に接続するフラットケーブルである。フラットケーブル FC としては図に示すように、複数のリード線（りん青銅の素材に Sn 錫を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0090】《映像信号駆動回路》図18は、映像信号駆動回路を構成する駆動 IC チップ CHI の概略回路図である。

【0091】同図において、液晶の超寿命化を図るために、液晶表示パネル PNL に印加される映像信号は交流化されており、V(1)、V(2)、V(3)、V(E-E) の電圧が印加される配線 10a、10b、10c、10d がある。ここで、V(1) は正、V(2) は負、V(3) は正、V(E-E) は負である。

【0092】それぞれの配線 10a、10b、10c、10d からは、上記電圧 V(1)、V(2)、V(3)、V(E-E) が出力トランジスタ 20a、20

b、20c、20dを介して、図示しない液晶表示基板の映像信号入力端子の一つに入力されるようになっている。

【0093】出力トランジスタ20a、20b、20c、20dはMISトランジスタからなり、それぞれのゲート電極にはシフトレジスタ30からの出力がデコーダ40a、40b、40c、40dを介して制御電圧が印加されるようになっている。

【0094】なお、上述した構成は、液晶表示基板の他の映像信号入力端子に接続される部分においても同様の構成となっている。

【0095】《出力トランジスタ》図1は、上記出力トランジスタ20a、20b、20c、20dのうちの一つを示した構成図で、同図(a)は平面図、(b)は(a)のa-a線における断面図である。

【0096】各図において、石英基板400があり、この石英基板400の主表面には、ポリシリコンからなる半導体層401が形成されている。この半導体層401のパターンとしては、ほぼ矩形状をなし、その長手方向に沿って溝410が並設されて形成されている。この溝410は石英基板400の主表面を露呈させて形成され、その長辺が半導体層401の短辺と平行になるように形成されている。

【0097】そして、該石英基板400の主表面には、前記半導体層401、この半導体層401に形成された溝410をも被ってゲート絶縁膜となるシリコン窒化膜405が形成されている。

【0098】さらに、シリコン窒化膜405の表面には、ポリシリコン層からなるゲート電極402が形成され、このゲート電極402は前記各溝410のそれぞれを跨るように位置づけられている。なお、このゲート電極402を構成するポリシリコン層を形成した後には、たとえばn型の不純物をドーピングすることにより、前記ポリシリコン層を導電化させるとともに、前記半導体層401にソース領域、およびドレイン領域を形成するようになっている。

【0099】さらに、前記ゲート電極402の両脇に、このゲート電極402と平行に位置づけられたソース電極405、およびドレイン電極404が形成され、これらソース電極405およびドレイン電極404は、それぞれシリコン窒化膜405に設けられているスルーホールを介して前記ソース領域、およびドレイン領域に接続されている。

【0100】この実施例のように構成したMISトランジスタは、ソース領域とドレイン領域との間に形成されるチャネル層が、半導体層401に溝410が形成されることによって、そのチャネル幅に沿って複数に分割して形成されることになる。

【0101】このようにすることによって、各チャネル層においてそのチャネル長に相当する辺部の数が増大

し、ON電流が増大することになる。

【0102】すなわち、MISトランジスタにおけるON電流は、チャネル層のチャネル長に相当する辺部に集中するという事実が判明し、チャネル幅を大きくすることよりも、上述のようにチャネル長に相当する辺部の数を増大させた方が効果的であることが判った。

【0103】このことは、MISトランジスタの占有面積を増大させることなく、複数のチャネル層を形成することができることになり、必然的にチャネル層の占有面積を小さくすることからOFF時におけるリーク電流も小さくすることができるようになる。

【0104】図22は、上述したMISトランジスタの特性を実験的に調べたグラフであり、その横軸はゲート電圧を、縦軸はドレイン電流を示している。図中、特性Aが本実施例の場合のMISトランジスタであり、特性Bが従来のMISトランジスタである。

【0105】いずれも、チャネル長Lは6μmであり、本実施例の場合のチャネル幅は分割された(10分割)各チャネル幅が3μmであるのに対して、従来の場合のチャネル幅は分割されていないものとして50μmのものを対象とした。

【0106】《TCPの接続構造》図18は走査信号駆動回路Vや映像信号駆動回路He, Hoを構成する、集積回路チップCH1がフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図19はそれを液晶表示パネルの、本例では映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【0107】同図において、TTBは集積回路CH1の入力端子・配線部であり、TTMは集積回路CH1の出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部(通称インナーリード)には集積回路CH1のボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB, TTMの外側の先端部(通称アウターリード)はそれぞれ半導体集積回路チップCH1の入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子DTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子DTM(GTM)は保護膜PSV1かパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0108】BF1はポリイミド等からなるベースフィルムであり、SRSは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールバターンSLの外側の上下ガラス基板の隙間は洗浄後エボキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコ

ン樹脂SILが充填され保護が多重化されている。

【0109】《駆動回路基板PCB2》中間フレームMFRに保持・収納される液晶表示部LCDの駆動回路基板PCB2は、図31に示すように、L字形をしており、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。駆動回路基板PCB2とインバータ回路基板PCB3とはバックライトケーブルにより中間フレームMFRに設けたコネクタ穴を介して電気的に接続される。

【0110】駆動回路基板PCB1と駆動回路基板PCB2とは折り曲げ可能なフラットケーブルFCにより電気的に接続されている。組立て時、駆動回路基板PCB2は、フラットケーブルFCを180°折り曲げることにより駆動回路基板PCB1の裏側に重ねられ、中間フレームMFRの所定の凹部に嵌合される。

【0111】上述した実施例では、半導体層をチャネル幅に沿って複数に分割したものであるが、これに限定されることはなく、ゲート電極をチャネル幅に沿って複数に分割するようにしてもよいことはいうまでもない。要は、チャネル層がそのチャネル幅に沿って複数に分割されるようになればよい。

【0112】また、上述した実施例は、映像信号駆動回路に適用されたMISトランジスタについて説明したものであるが、これに限定されることではなく、垂直走査回路に適用するようにしてもよく、さらには、液晶表示パネルPNLに内蔵されている薄膜トランジスタTFTにも適用できることはいうまでもない。

【0113】そして、上述した実施例では、液晶表示装置に適用されるMISトランジスタについて説明したものであるが、必ずしも液晶表示装置に適用されるものに限定されることはない。

【0114】

【発明の効果】以上説明したことから明らかのように、本発明によるMISトランジスタによれば、占有面積を大きくせずに、ON特性の向上、さらにはOFF時のリーキ電流の発生を防止できるようになる。

【図面の簡単な説明】

【図1】(a)、(b)は、この発明によるMISトランジスタの一実施例を示す構成図であり、(a)は平面図、(b)は(a)のb-b線における断面図である。

【図2】この発明が適用されるアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図3】図2の3-3切断線における1画素とその周辺

を示す断面図である。

【図4】図2の4-4切断線における付加容量Caddの断面図である。

【図5】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図6】図5の周辺部をやや誇張し更に具体的に説明するためのパネル平面図である。

【図7】上下基板の電気的接続部を含む表示パネルの角部の拡大平面図である。

10 【図8】マトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図9】左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図10】ゲート端子GTMとゲート配線GLの接続部近辺を示す平面と断面の図である。

【図11】ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面と断面の図である。

【図12】アクティブ・マトリックス方式のカラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図13】基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図14】基板SUB1側の工程D～Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図15】基板SUB1側の工程G～Iの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図16】液晶表示モジュールの分解斜視図である。

【図17】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図18】駆動ICチップ内の回路図である。

【図19】本発明の効果を示すグラフである。

【図20】駆動回路を構成する集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

40 【図21】テープキャリアパッケージTCPを液晶表示パネルPNLの映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【図22】周辺駆動回路基板PCB1（上面が見える）と電源回路基板PCB2（下面が見える）との接続状態を示す上面図である。

【符号の説明】

SUB…透明ガラス基板、GL…走査信号線、DL…映像信号線

G I…絶縁膜、GT…ゲート電極、AS…i型半導体層

S-D…ソース電極またはドレイン電極、P-S-V…保護膜、BM…遮光膜

LC…液晶、TFT…薄膜トランジスタ、ITO…透明

(11)

19

特開平7-94744

20

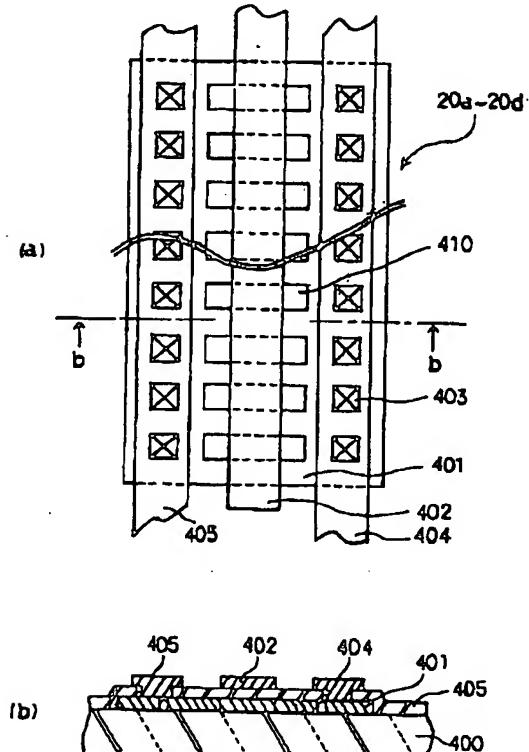
画素電極

g, d …導電膜、 Cadd…保持容量素子、 AOF…陽極酸化膜
 AO…陽極酸化マスク、 GTM…ゲート端子、 DTM…ドレイン端子

SHD…シールドケース、 PNL…液晶表示パネル、 SPB…光拡散板、 MFR…中間フレーム、 BL…バックライト、 BLS…バックライト支持体、 LCA…下側ケース、 RM…バックライト光反射板、 (以上添字省略)。

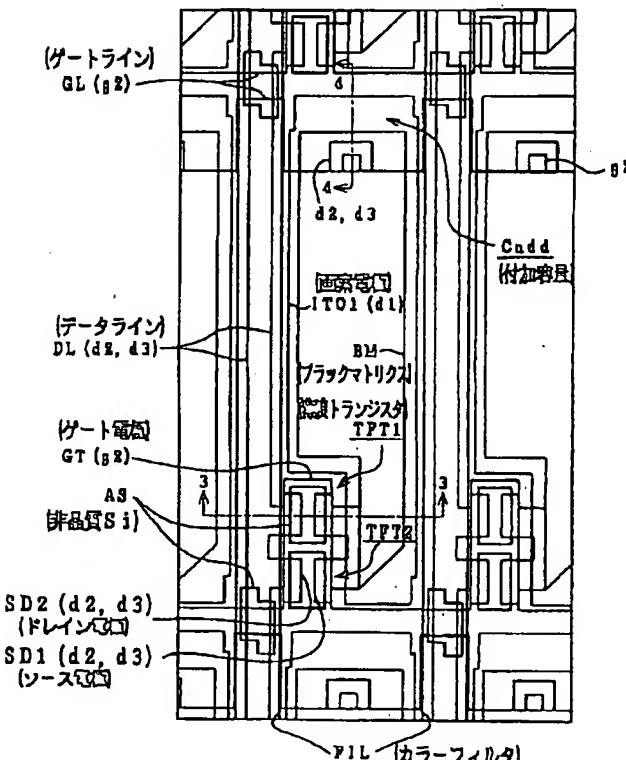
【図1】

図1



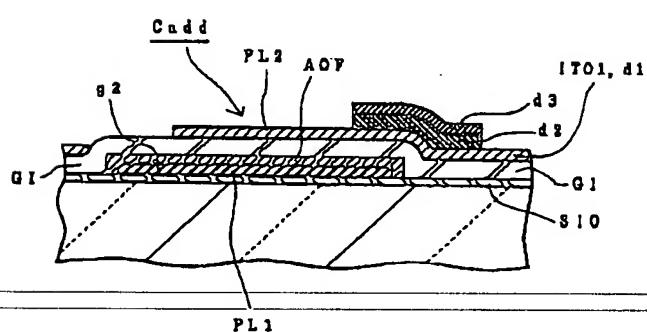
【図2】

図2



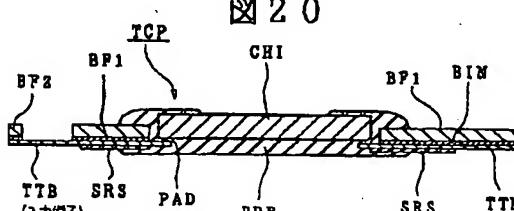
【図4】

図4



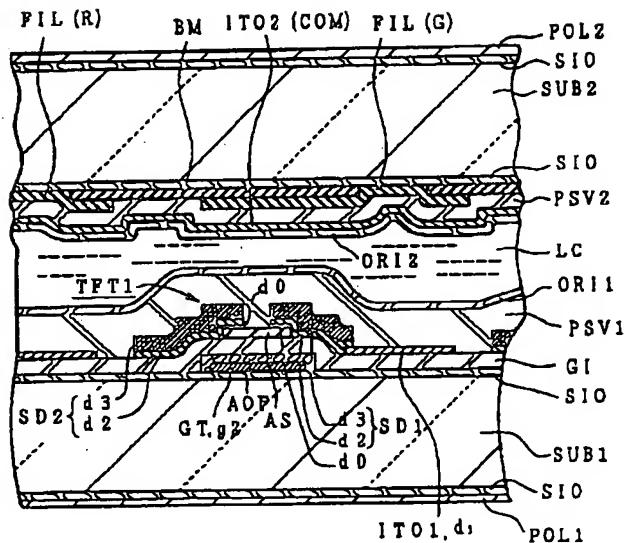
【図20】

図20



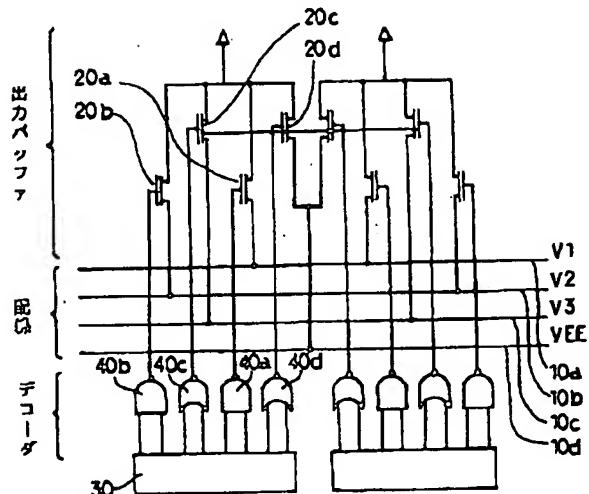
【図3】

図3



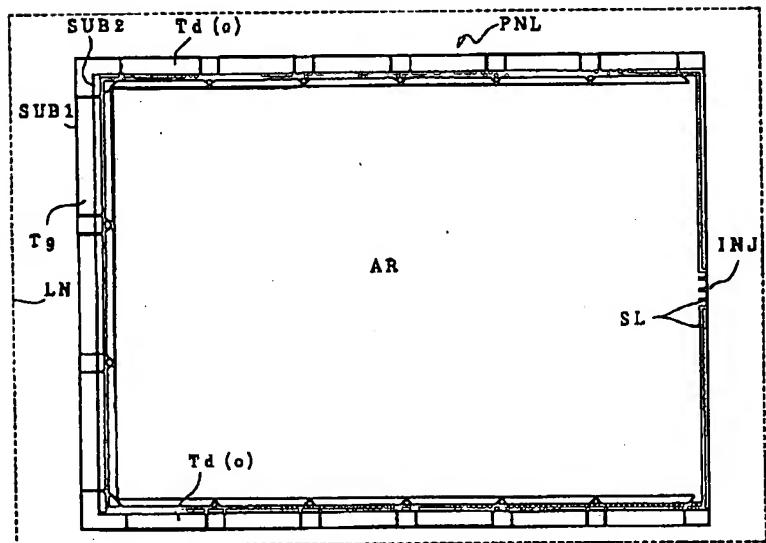
【図18】

図18



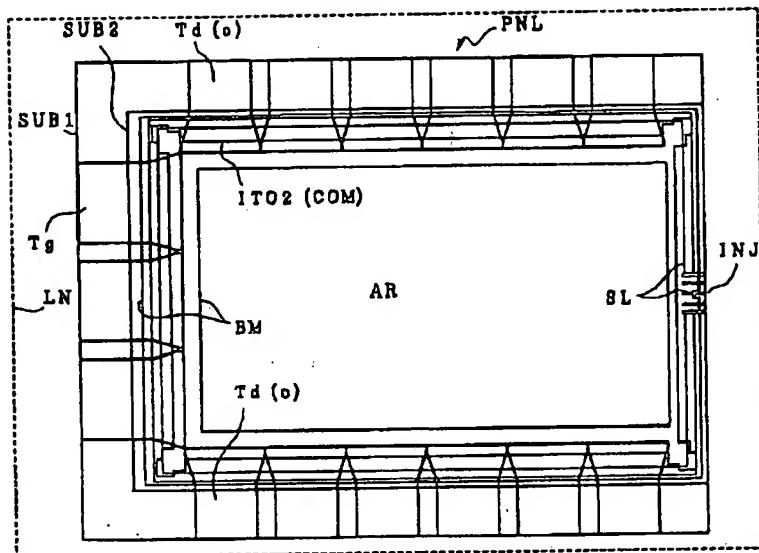
【図5】

図5



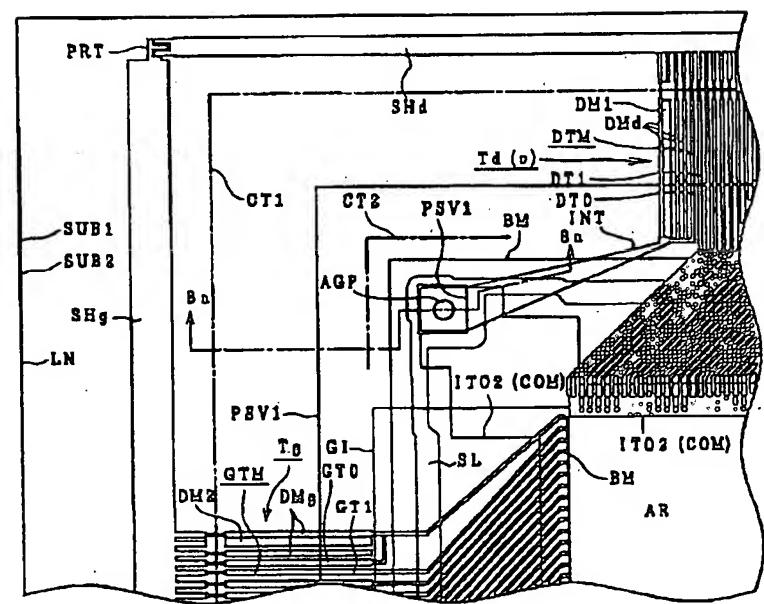
【図6】

図6



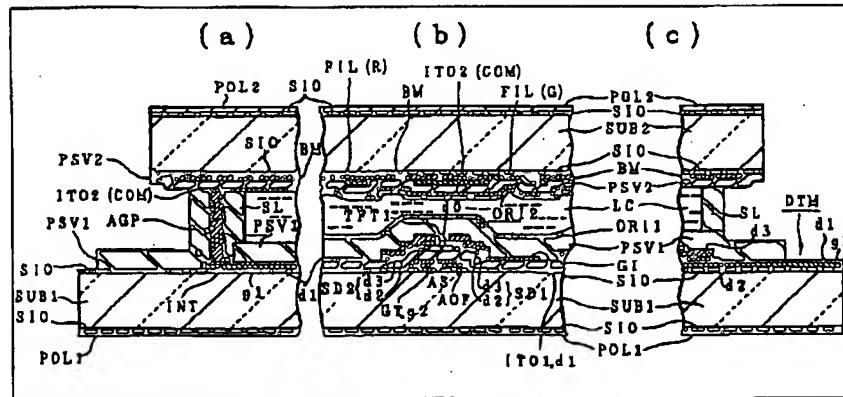
【図7】

図7



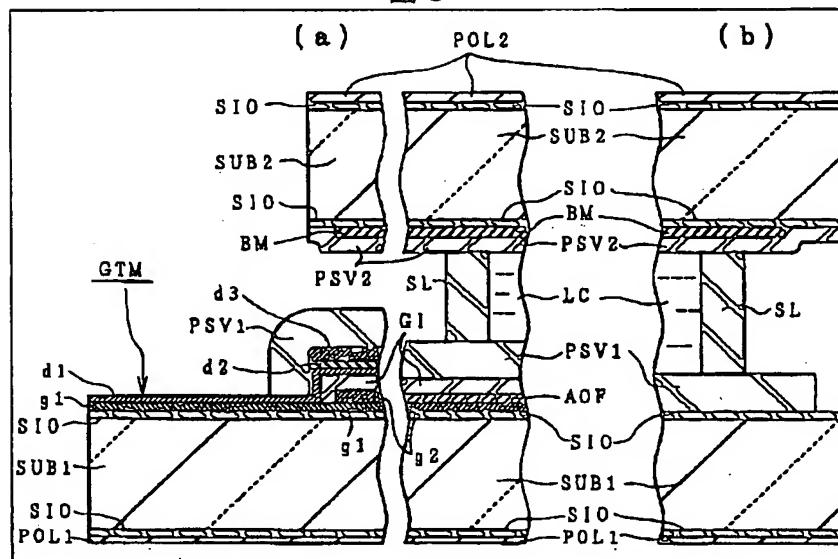
【図8】

図8



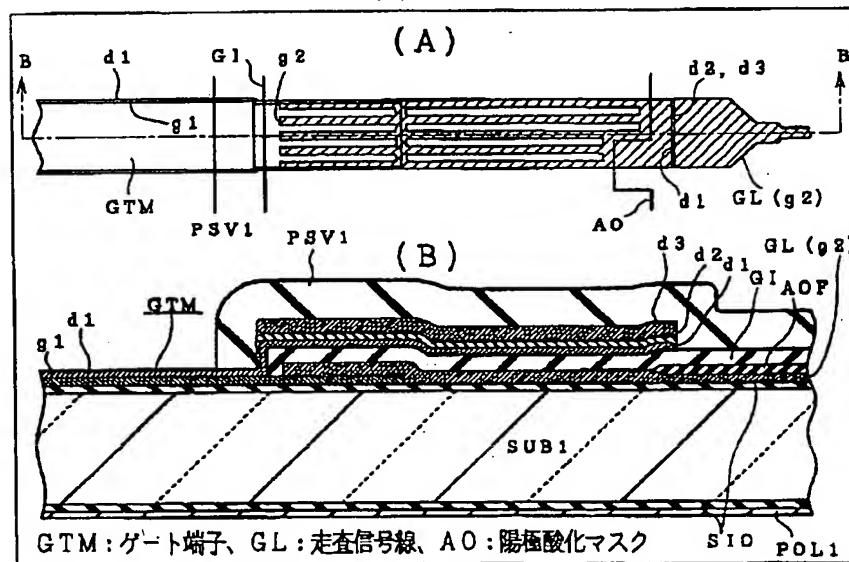
【図9】

図9



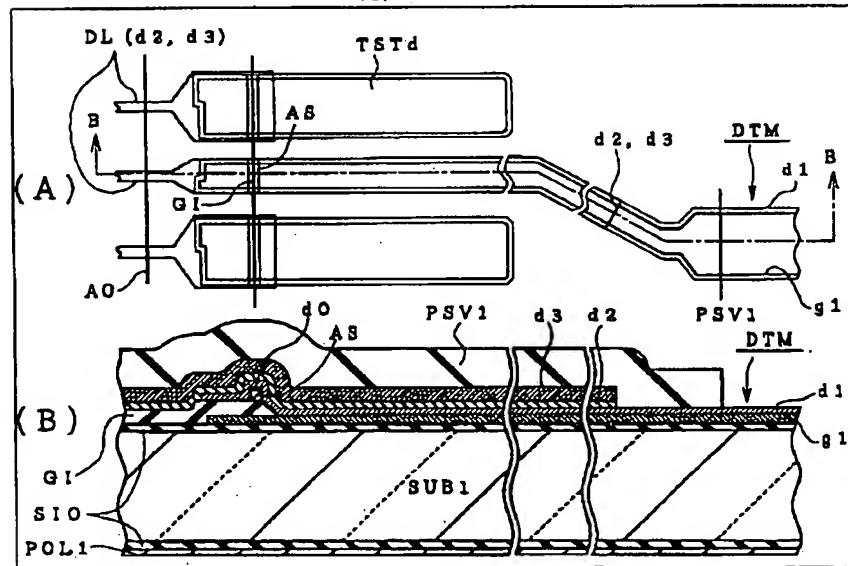
【図10】

図10



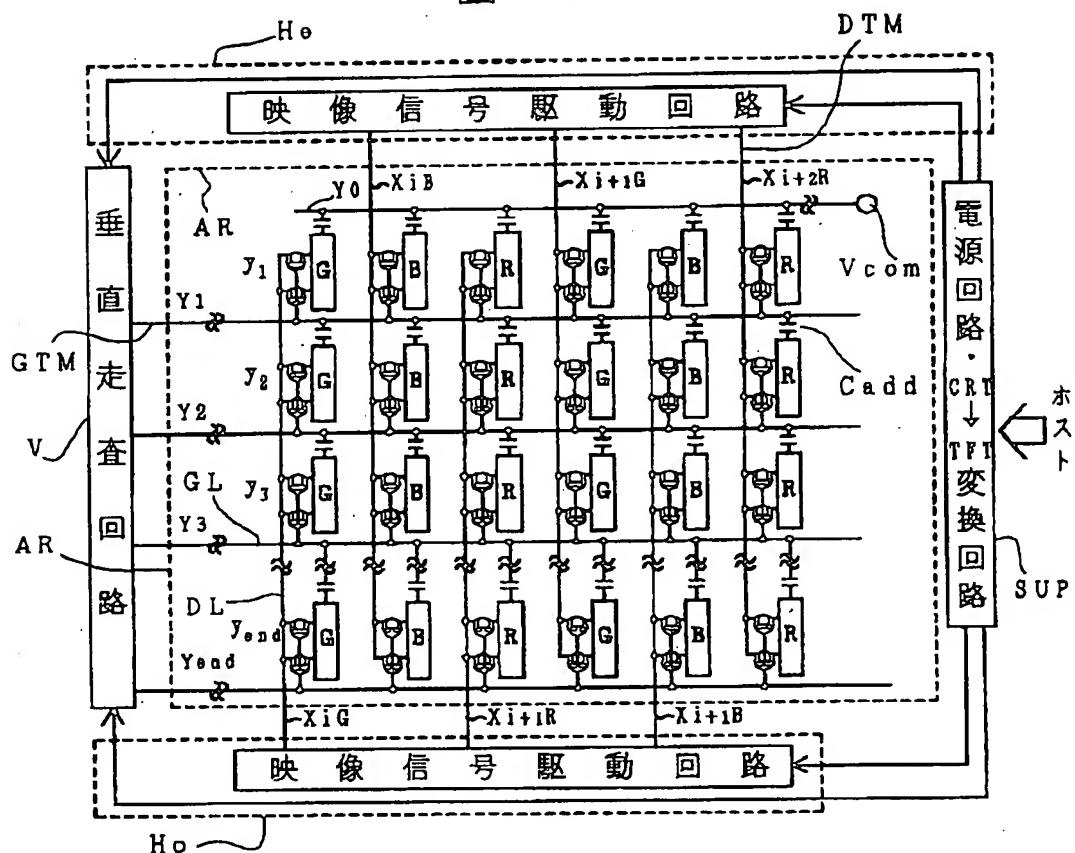
【図11】

図11



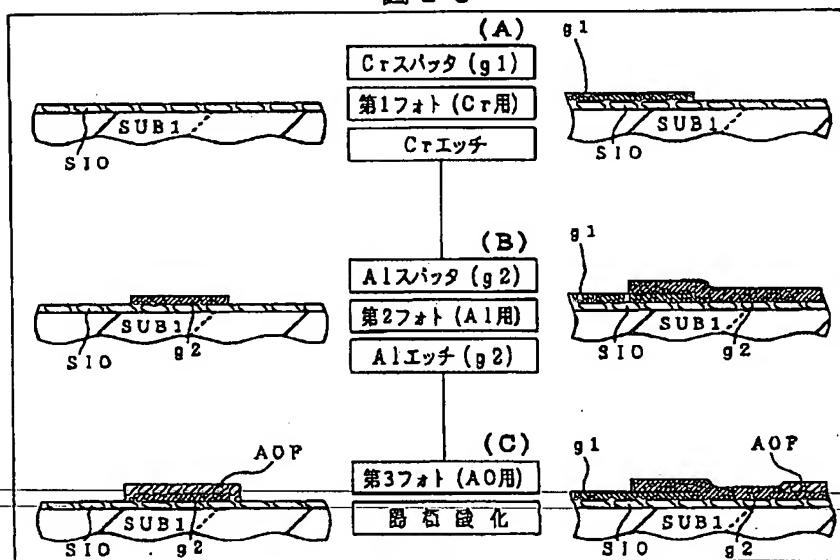
【図12】

図 12



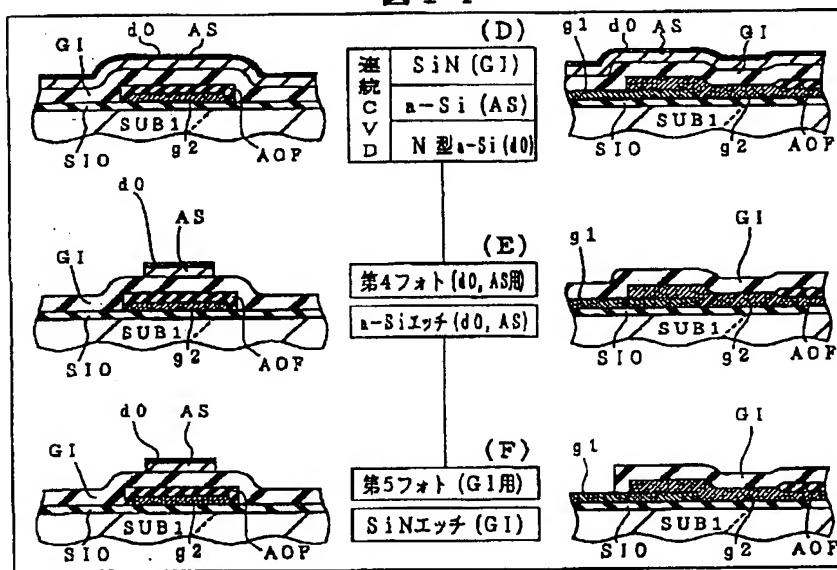
【図13】

図 13



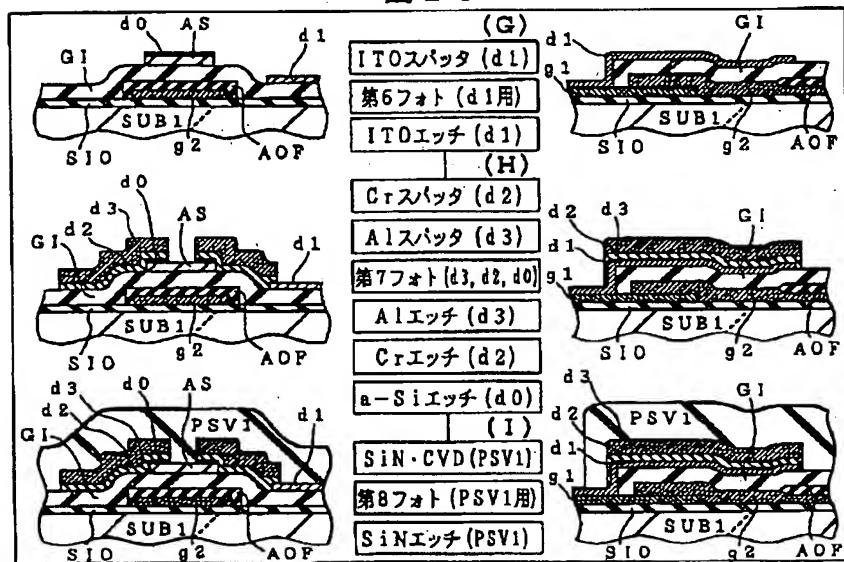
【図14】

図14

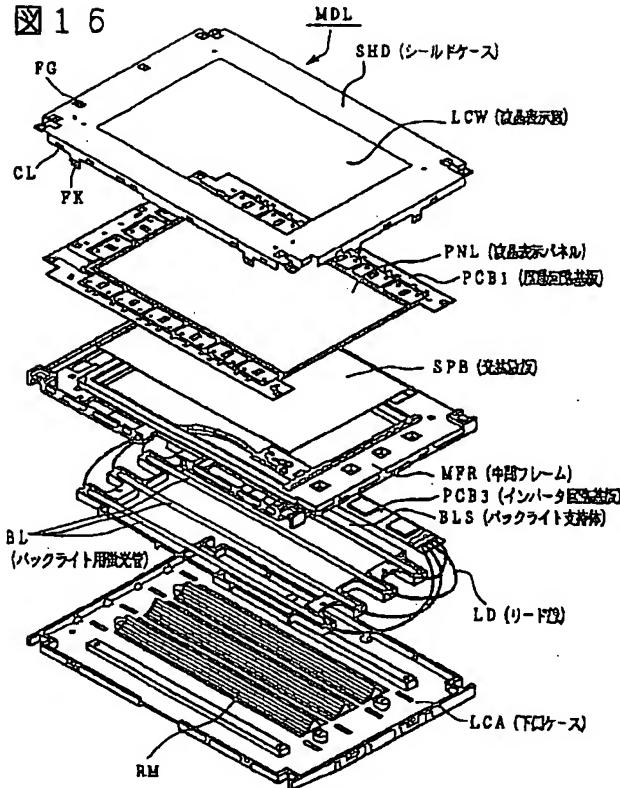


【図15】

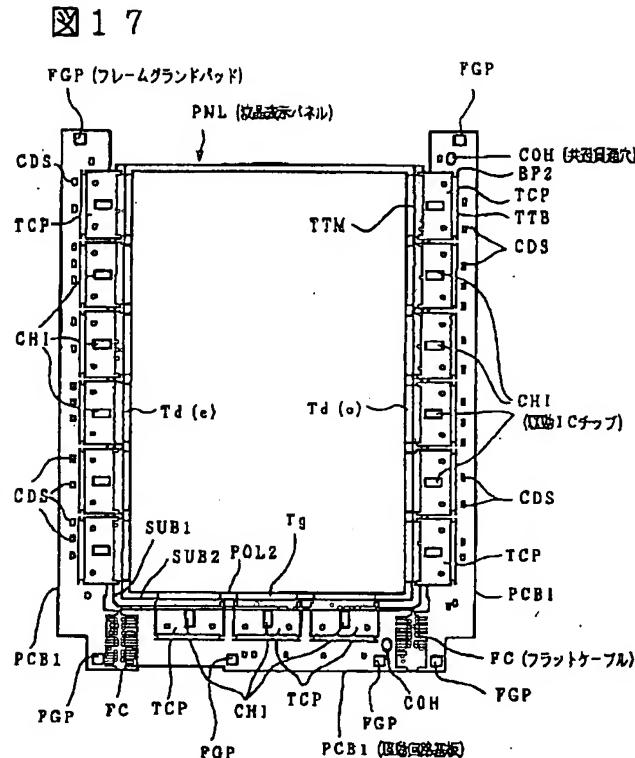
図15



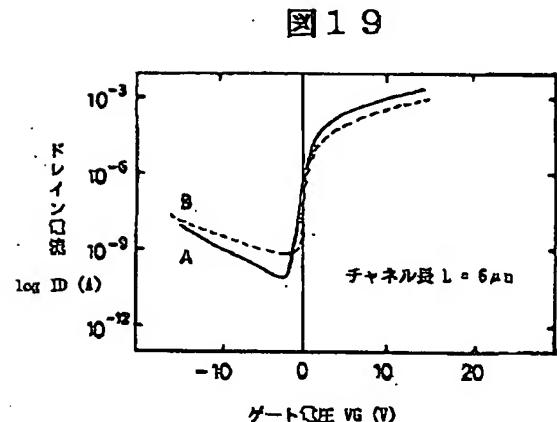
【図 16】



【図 17】



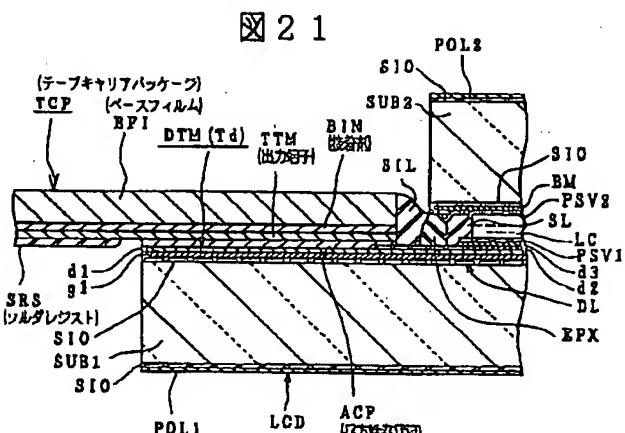
【図 19】



A : 本実験による N-MOS 特性
(チャネル長 3 μm , 10本試料)

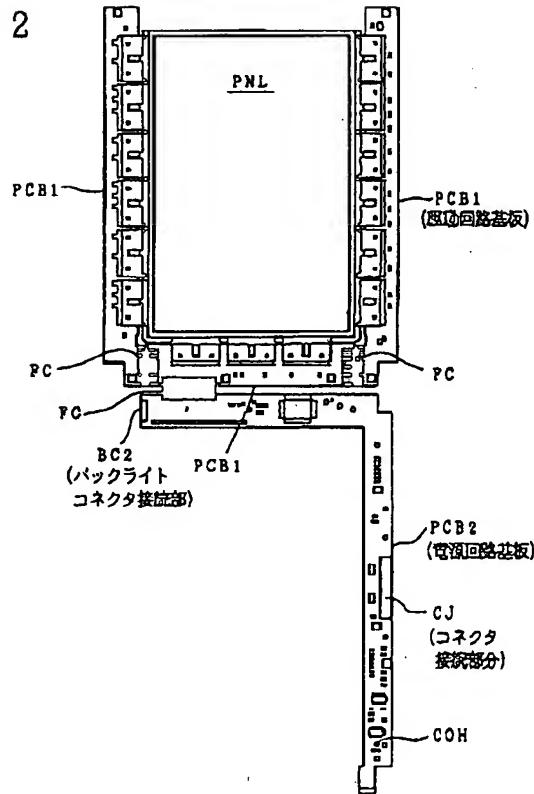
B : 従来の分離しないトランジスタの N-MOS 特性
(チャネル長 50 μm)

【図 21】



【図22】

図22



フロントページの続き

(72)発明者 下村 繁雄

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 奥 博文

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 早田 浩子

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内